

BUNDESREPUBLIK DEUTSCHLAND



J1002 U.S. PTO
09/773164



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 100 04 012.8

Anmeldetag: 31. Januar 2000

Anmelder/Inhaber: MICRONAS INTERMETALL GmbH, Freiburg im
Breisgau/DE

Bezeichnung: Digitaler Multiplizierer

IPC: G 06 F, H 03 H

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 10. November 2000
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

CERTIFIED COPY OF
PRIORITY DOCUMENT

W. Eil-mayr

Digitaler Multiplizierer

- Die Erfindung betrifft einen digitalen Multiplizierer für eine Recheneinheit in einem Signalprozessor. Derartige Multiplizierer werden dort beispielsweise häufig bei der
- 5 Realisierung unterschiedlichster digitaler Filter verwendet, bei denen digitalisierte Signalwerte verändert oder aus digitalisierten Signalwerten eine Signaleigenschaft herausgefiltert werden soll. Derartige digitale Filterstrukturen sind ausreichend bekannt. Die digitalisierten Signalwerte aufeinanderfolgender Abtastzeitpunkte werden dabei mit unterschiedlichen Zahlenwerten multipliziert und die einzelnen Produkte summiert. Die
- 10 resultierende Summe wird entweder weiterverarbeitet oder stellt schon einen aktuellen Filtererausgangswert dar. Die unterschiedlichen Zahlenwerte mit denen die digitalisierten Signalwerte multipliziert werden entsprechen Koeffizienten, die durch die jeweiligen Filtereigenschaften vorgegeben sind. Damit die Filter auch bei hohen Signalfrequenzen im Echtzeitbetrieb arbeiten können, muß für die üblichen Signalmultiplizierer entweder
- 15 eine noch erheblich höhere Taktfrequenz gewählt werden oder eine zeitlich gestaffelte Parallelverarbeitung (= Pipeline-Verfahren) oder bei einer noch weitergehenden Parallelverarbeitung ein hoher Hardwareaufwand, der in der Lage ist, eine echte Multiplikation innerhalb weniger Taktzyklen oder gar innerhalb einer einzigen Taktperiode auszuführen.
- 20
- Es ist daher Aufgabe der Erfindung, einen Multiplizierer für Signalprozessoren anzugeben, der eine schnelle Multiplikation ohne die oben beschriebenen Nachteile ermöglicht.
- 25 Die Erfindung geht von der Erkenntnis aus, daß für die vorgesehene Anwendung der Multiplizierer in Signalprozessoren, insbesondere bei der Realisierung von digitalen Filtern, unter bestimmten Voraussetzungen Vereinfachungen möglich sind. Werden nämlich nur solche Zahlen für die Filterkoeffizienten zugelassen, die sich relativ einfach über ihre Zweierpotenzwerte darstellen lassen, dann kann die Hardware-Struktur des
- 30 Multiplizierers sehr vereinfacht werden. Einfache Darstellungen in Zweierpotenzform sind beispielsweise alle binär kodierte Dualzahlen, die nur eine, zwei oder drei Binärstellen beliebiger Ordnung aufweisen. Die Multiplikation kann dann lediglich durch ein bzw. zwei bzw. drei Stellenverschiebe- oder Stellenzuordnungsoperationen mit einer bzw zwei bzw drei Stellenschiebeeinrichtungen (=Barrel-Schieberegister) und anschließender

stellenrichtiger Addition der stellenverschobenen Bits ersetzt werden. Dabei müssen für den Schiebevorgang nicht einmal alle Zwischenpositionen anwählbar sein, wenn beispielsweise niemals die Werte $2^{\exp 3}$ oder $2^{\exp 5}$ bei der Zahlenauswahl auftreten. Damit die Beschränkung der zugelassenen Koeffizienten weniger störend ist, ist es von
5 Vorteil, wenn außer positiven Zweierpotenzen auch negative Zweierpotenzen zugelassen sind, die der kanonischen Darstellungsweise von binär kodierten Dualzahlen entsprechen. Dies erfordert lediglich eine Negierung des Zahlenwertes vor der Addition der Schiebeergebnisse. Die Negierung kann dabei vor oder nach der
10 Stellenschiebeeinrichtung erfolgen. Die Stellenverschiebung ist sowohl in Richtung größerer als auch kleinerer Wertigkeiten möglich. Eine Schieberichtung in Richtung kleinerer Wertigkeiten entspricht einer Division um einen Zweierpotenzwert bzw der Multiplikation mit einer reziproken Zweierpotenz. Da die Stellenschiebeeinrichtungen in der Regel nur wenige Schiebepositionen realisieren, werden statt üblichen Schieberegistern vorteilhafterweise logische Zuordnungsschaltungen verwendet, die über
15 ein Schaltnetzwerk die Binärstellen des zu multiplizierenden Datenwortes mit den neuen Stellenpositionen verbinden. Ein Schaltbefehl, der als Instruktion in dem Operationskodewort enthalten ist, steuert die Zuordnungsschalter. Dieses Verfahren ist wesentlich schneller als die Verwendung eines normalen Schieberegisters, das alle Zwischenpositionen durchlaufen muß. Neben dem Geschwindigkeitsvorteil ist ein weiterer
20 Vorteil derartiger Zuordnungsschaltungen für die Stellenschiebeeinrichtung auch der relativ geringe Flächenbedarf bei der monolithischen Integration, denn die Speicher für die Zwischenpositionen entfallen.

Die Beschränkung des Zahlenbereiches für die Koeffizienten und damit die Reduktion der
25 erforderlichen Stellenverschiebevorgänge wird nun an einigen Beispielen aufgezeigt. Die Zahl 4 erfordert als Dualzahl nur eine einzige Stelle, nämlich 2^2 und damit nur einen einzigen Schiebevorgang der zu multiplizierenden Zahl um zwei Stellen. Ein Gegenbeispiel ist die Zahl 15, die als übliche Dualzahl 4 Binärstellen erfordert und als „1111“ dargestellt wird, nämlich $2^3+2^2+2^1+2^0$. Dies erfordert vier unabhängige
30 Schiebevorgänge der zu multiplizierenden Zahl mit anschließender Addition der gleichen Wertigkeiten. In kanonischer Schreibweise erfordert die Zahl 15 jedoch nur zwei Binärstellen, nämlich 2^4-2^0 . Dies sind nur noch zwei Schiebevorgänge, einer um 4 Stellen und ein zweiter um 0 Stellen, wobei letzere Wert durch das negative Vorzeichen vom ersten Schiebeergebnis abgezogen wird. Ein weiteres Zahlenbeispiel, das dem üblichen

Zahlenbereich von 0 bis 1 oder von -1 bis +1 in Signalprozessoren entspricht, ist der Wert $0.234375 = 2^{-2} - 2^{-6}$. Die Multiplikation dieses Zahlenwertes mit der Zahl „a“ hat dann die einfache Lösung $a \cdot 2^{-2} - a \cdot 2^{-6}$, also wieder zwei Schiebevorgänge um 2 bzw 6 Stellen in Richtung kleinerer Wertigkeiten, dann die Negierung des einen Wertes und
5 anschließend werden die Ergebnisse beider Schiebevorgänge addiert.

Es ist klar, daß die resultierende Summe dann in einem Register gespeichert wird. Über eine Signallückführung des Registerinhaltes auf den Addierer kann eine Akkumulierung durchgeführt werden, die ebenfalls bei Filteranwendungen, insbesondere bei rekursiven
10 Filtern, oft ist. Selbstverständlich sind derartige Multiplizierer nicht nur für Filter, sondern auch für andere Anwendungen mit Vorteil zu verwenden, beispielsweise zur linearen Verstärkung oder Absenkung von Signalen, wenn eine einfache Stellenverschiebung zu grob ist.

15 Alle Werte, die sich so auf diese relativ einfache Weise darstellen lassen, bilden einen Zahlenvorrat für die möglichen Koeffizienten. Für die jeweilige Anwendung sind nun die geeigneten Koeffizienten über eine Simulation und Optimierung herauszufinden. Der Aufwand hierfür spielt keine Rolle, denn wenn die Koeffizienten einmal festliegen, dann brauchen diese Werte nicht mehr geändert zu werden und können in einem Speicher
20 abgelegt werden. Ob es sich dabei um Filterkoeffizienten oder andere Werte handelt, ist für die Erfindung nicht von Bedeutung.

Die Erfindung und vorteilhafte Anwendungen werden nun anhand der Figuren der Zeichnung näher erläutert:

25

Fig. 1 zeigt als Blockschaltbild schematisch einen Multiplizierer nach der Erfindung und Fig. 2 zeigt schematisch einen Teil eines zugehörigen Operationskodewortes.

In Fig. 1 ist als Ausführungsbeispiel das Blockschaltbild eines Multiplizierers nach der
30 Erfindung dargestellt. Eine zu multiplizierende erste Zahl z, die beispielsweise vorher durch Digitalisierung eines Signalwertes in einem nicht dargestellten Analog-Digital-Umsetzer gebildet wurde und jetzt in einem Register 1 mit w Binärstellen steht, soll mit einer zweiten Zahl k multipliziert werden, die einer anderen Datenquelle 2 entstammt. Die zweite Datenquelle 2 ist beispielsweise Teil eines monolithisch integrierten Prozessors,

der den Multiplizierer in seinem Rechenteil enthält. Ein Systemtakt ϕ entstammt ebenfalls der zweiten Quelle 2 oder einem nicht dargestellten Taktgenerator. In einer Speichereinrichtung kann die Datenquelle 2 beispielsweise einen Koeffizientenspeicher enthalten, der die einzelnen Koeffizienten k für eine Filteranwendung liefert. Bei den
5 zweiten Zahlen k handelt es sich nicht mehr um fein aufgeteilte Zahlenwerte wie bei den Signalwerten, die innerhalb des vorgegebenen Wertebereichs und der Auflösung jeden beliebigen Zwischenwert annehmen können, sondern um fest vorgegebene Zahlenwerte mit einer ganz kleinen Anzahl von Binärstellen. Wie bereits erwähnt, handelt es sich bei den zweiten Zahlen k um eine enge Auswahl von binär kodierten Dualzahlen, auch in
10 kanonischer Form.

Die Rechenabläufe zur Realisierung der Filterung der Signalwerte sind über Operationskodeworte op gesteuert, die unter anderem die jeweiligen Zahlenwerte der zweiten Zahl k als Instruktion für die auszuführende Multiplikation enthalten. Die
15 Operationskodeworte op gelangen auf eine mit dem Multiplizierer eng verknüpfte Steuereinrichtung 20 und werden dort als Instruktionen $n1, n2, s1, s2, ak$ für die einzelnen Funktionseinheiten des Multiplizierers aufbereitet. Die wesentlichen Funktionseinheiten sind dabei Stellenschiebeeinrichtungen 3, 4, Vorzeicheninvertierer 5, 6 und ein vielstelliger Addierer 7. Im Ausführungsbeispiel von Fig. 1 ist eine erste und
20 zweite Stellenschiebeeinrichtung 3, 4 dargestellt. Weitere Stellenverschiebungseinrichtungen sind denkbar und im Ausführungsbeispiel von Fig. 1 durch gestrichelte Linien angedeutet. Vor der ersten bzw. zweiten Stellenschiebeeinrichtung 3, 4 befindet sich im jeweiligen Datenpfad vom vorausgehenden gemeinsamen Register 1 ein erster bzw. zweiter Vorzeicheninvertierer
25 5, 6 und danach der gemeinsame Addierer 7, der die einzelnen Ausgänge der Stellenschiebeeinrichtungen 3, 4 stellenrichtig addiert und als aktueller Multiplikationswert $m0$ an seinen $w+v$ Ausgängen abgibt.

Aus dem vorgegebenen Vorrat und Format der Zahlen k ergibt sich, wieviele
30 Schiebepositionen die Stellenschiebeeinrichtungen 3, 4 jeweils aufweisen müssen. Ferner ergibt sich die zugehörige maximale Schiebedistanz $v1, v2$ und die Schieberichtung. Aus der maximalen Schiebedistanz v und der maximalen Stellenanzahl w der ersten Zahl z , ergibt sich die Stellenanzahl $w+v$ des Addierers 7 und eines nachgeschalteten Akkumulatorspeichers 8, an dessen Ausgang ein akkumulierter Multiplikationswert ma

abgreifbar ist. Die erforderliche Rückführung des Akkumulatorinhaltes zum Addierer 7 erfolgt über einen Akkumulierungspfad, dessen Schaltzustand von einer Akkumulierungsinstruktion a_k gesteuert ist, die einen im Rückführungspfad liegenden Schalter 9 öffnet oder schließt.

5

Die Negierung der Zahl z über die Vorzeicheninstruktionen n_1, n_2 erfolgt für diejenigen Zahlen k , die in der kanonischen Darstellung eine Binärstelle mit negativem Wert enthalten, beispielsweise $k = 2^5 - 2^2$. Die der zweiten Stellenschiebeeinrichtung 4 zugeführte Zahl k wird demnach invertiert und um zwei Stellen in MSB-Richtung (=Most Significant Bit) verschoben. Für die erste Stellenschiebeeinrichtung 3 findet keine Invertierung statt, die Verschiebung in MSB-Richtung beträgt hier 5 Stellen. Diese Informationen sind im Operationskodewort op als Instruktionen n_1, n_2, s_1, s_2 enthalten.

Wenn für eine Zahl k nicht alle vorhandenen Stellenschiebeeinrichtungen s_1, s_2 benötigt werden, beispielsweise weil die Zahl k einer glatten Zweierpotenz 2^n entspricht, dann ist nur eine einzige Stellenschiebeeinrichtung s_1 oder s_2 erforderlich und die anderen dürfen keinen Beitrag liefern. Diese Nullsetzung oder Nullposition wird innerhalb der Schiebeinstruktion s_1, s_2 durch einen eigenen Zahlenwert kodiert. Wenn beispielsweise die im Operationskodewort op enthaltene Schiebeinstruktion s_1, s_2 zwei Binärstellen umfaßt, dann können entweder vier unterschiedliche Schiebepositionen programmiert werden oder drei unterschiedliche Schiebepositionen und eine Nullposition, beispielsweise die vier Schiebepositionen um 5, 3, 0 oder -2 Stellen oder die drei Schiebepositionen um 5, 3 oder 1 Stelle, dafür aber auch noch die Nullposition.

25 In Fig. 2 ist schematisch als Beispiel ein Teil des Operationskodewortes in einer Formatdarstellung für den in Fig. 1 dargestellten Multiplizierer mit zwei Stellenschiebeeinrichtungen s_1, s_2 gezeigt. Einer Startkennung st im Operationskodewort op folgen die Vorzeicheninstruktionen n_1, n_2 , die Schiebeinstruktionen s_1, s_2 und die Akkumulierungsinstruktion a_k . Die Instruktionen n_1, n_2, s_1 und s_2 enthalten dabei in 30 kodierter Form den Wert der zweiten Zahl k . Die Reihenfolge der Instruktionen und ihre Stellung innerhalb des Operationskodewortes op ist beliebig, die Zuordnung von der Quelle 2 zu den Funktionsabläufen im Multiplizierer muß natürlich eindeutig sein. Wieviele Bit die jeweilige Instruktion enthält, hängt in erster Linie von der Anzahl der zu unterscheidenden Fälle innerhalb der jeweiligen Instruktion ab.

- Der vielstellige Addierer 7 kann je nach geforderter Rechengeschwindigkeit sehr unterschiedlich ausgebildet sein. Am aufwendigsten ist eine vollständige Baumstruktur, beispielsweise nach Wallace, die dann aber eine Addition sämtlicher Werte innerhalb
- 5 einer einzigen Taktperiode ermöglicht. Weniger aufwendige Addiererstrukturen benötigen zwei oder mehr Taktperioden. Wenn in jeder Taktperiode ein Multiplikationsergebnis vorliegen soll, zwischen Ein- und Ausgang jedoch einige Taktperioden gleichsam als Laufzeit zulässig sind, dann bietet sich auch das bereits erwähnte Pipeline-Verfahren an.

Patentansprüche

1. Multiplizierer für eine erste (z) und zweite (k) binär kodierte Zahl mit

5

- mindestens einer Stellenschiebeeinrichtung (3, 4), deren Schiebeposition mittels einer zugehörigen Schiebeinstruktion (s1, s2) innerhalb eines von der zweiten Zahl (k) abhängigen Operationskodewortes (op) gesteuert ist und dessen Binärstelleneingängen die nach Wertigkeiten geordneten Stellen der ersten Zahl (z), die in der Regel eine binär codierte Dualzahl ist, zugeführt sind,

10

- jeder Stellenschiebeeinrichtung (s1, s2) ist ein ein- oder ausgangseitiger Vorzeicheninverter (5, 6) zugeordnet, dessen jeweiliger Zustand in Abhängigkeit von der zweiten Zahl (k), die in der Regel eine binär kodierte Dualzahl unter Einbeziehung der kanonischen Form ist, mittels einer zugehörigen Vorzeicheninstruktion (n1, n2) innerhalb des Operationskodewortes (op) gesteuert ist, und

15

- jede Stelle der Stellenschiebeeinrichtung (3, 4) ist ausgangsseitig mit jeweils einem Binärstelleneingang eines vielstelligen Addierers (7) verbunden, dessen Stellenanzahl (w+v) mindestens so groß ist wie die Summe aus der maximale Stellendistanz (v) der vorgegebenen Schiebepositionen und der maximal vorgegebenen Stellenanzahl (w) der ersten Zahl (z).

20

2. Multiplizierer nach Anspruch 1, dadurch gekennzeichnet, daß die Anzahl der von dem Operationskodewort (op) unabhängig voneinander steuerbaren Stellenschiebeeinrichtungen (3, 4) von der maximal vorgegebenen Binärstellenanzahl der zweiten Zahl (k) abhängig ist, die dabei nur eine oder zwei oder wenige der maximal möglichen Wertigkeiten als eine vorgegebene Auswahl enthält.

25

3. Multiplizierer nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß im Operationskodewort (op) für die jeweilige Stellenschiebeeinrichtung (3, 4), insbesondere in der zugehörigen Schiebeinstruktion (s1, s2), auch ein Zustand oder eine Schiebeposition definiert ist, bei denen die Ausgänge für den nachfolgenden Addierer (7) gesperrt oder auf einen Nullwert gesetzt sind.

30

4. Multiplizierer nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die Ausgangsstellen des Addierers (7) mit den Eingängen eines Akkumulierungsspeichers (8) verkoppelt sind.

5

5. Multiplizierer nach Anspruch 4, dadurch gekennzeichnet, daß die Stellenausgänge des Akkumulierungsspeichers (8) mittels einer zugehörigen Akkumulierungsinstruktion (ak) innerhalb des Operationskodewortes (op) stellenrichtig auf weitere Addiereingänge des Addierers (7) zurückgekoppelt sind, um die Ergebnisse aufeinanderfolgender

10 Multiplikationen zu akkumulieren.

6. Multiplizierer nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß die zweite Zahl (k) eine binär kodierte Dualzahl ist und daß die Multiplikation der ersten und zweiten Zahl (z, k) durch aufeinanderfolgende Schiebevorgänge der einzigen

15 Stellenschiebeeinrichtung (3) erfolgt, wobei die jeweiligen Schiebefositionen durch die Wertigkeiten der zugehörigen Binärstellen der zweiten Zahl (k) mittels der zugehörigen Schiebeinstruktionen (s1) aufeinanderfolgender Operationskodeworte (op) bestimmt sind.

7. Multiplizierer nach Anspruch 6, dadurch gekennzeichnet, daß bei zwei und mehr
20 vorhandenen Stellenschiebeeinrichtungen (3, 4) die aufeinanderfolgenden Schiebevorgänge gruppenweise erfolgen, indem jeder Stellenschiebeeinrichtung (3, 4) je eine Binärstelle der zweiten Zahl (k) zugeordnet ist, wobei die zugehörigen Binärstellen der zweiten Zahl durch die zugehörigen Schiebeinstruktionen (s1, s2) aufeinanderfolgender Operationskodeworte (op) bestimmt sind.

25

8. Operationskodewort (op) für einen Multiplizierer gemäß einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß das Operationskodewort (op) für eine zugehörige Stellenschiebeeinrichtung (3, 4) mindestens folgende Instruktionen enthält:

- eine Vorzeicheninstruktion (n1, n2),
- 30 - eine Schiebinstruktion (s1, s2) nach Stellenanzahl und
- wenn positive und negative Schieberichtungen vorgesehen sind eine Richtungsinstruktion in Verbindung mit der Schiebeinstruktion (s1, s2).

9. Operationskodewort (op) nach Anspruch 8, dadurch gekennzeichnet, daß das Operationskodewort (op) eine Nullinstruktion für einen Nullausgabewert der zugehörigen Stellenschiebeeinrichtung (3, 4) enthält.
- 5 10. Operationskodewort (op) nach Anspruch 8, dadurch gekennzeichnet, daß das Operationskodewort (op) eine Akkumulierungsinstruktion (ak) enthält, die einen Akkumulierungspfad aktiviert, um den aktuellen Multiplikationswert (m0) zum vorausgehenden Multiplikationswert zu addieren.

Zusammenfassung

- Multiplizierer für eine erste (z) und zweite (k) binär kodierte Zahl mit mindestens einer Stellenschiebeeinrichtung (3, 4), deren Schiebeposition mittels einer zugehörigen
- 5 Schiebeinstruktion (s1, s2) innerhalb eines von der zweiten Zahl (k) abhängigen Operationskodewortes (op) gesteuert ist und dessen Binärstelleneingängen die nach Wertigkeiten geordneten Stellen der ersten Zahl (z) zugeführt sind. Jeder
- 10 Stellenschiebeeinrichtung (s1, s2) ist ein Vorzeicheninverter (5, 6) zugeordnet, dessen jeweiliger Zustand in Abhängigkeit von der zweiten Zahl (k) mittels einer zugehörigen Vorzeicheninstruktion (n1, n2) innerhalb des Operationskodewortes (op) gesteuert ist, und jede Stelle der Stellenschiebeeinrichtung (3, 4) ist ausgangsseitig mit je einem vielstelligen Addierer (7) verbunden.

(zur Zusammenfassung: Fig. 1)

Original in
Prioranmeldung

C-1755

(nicht weg senden)

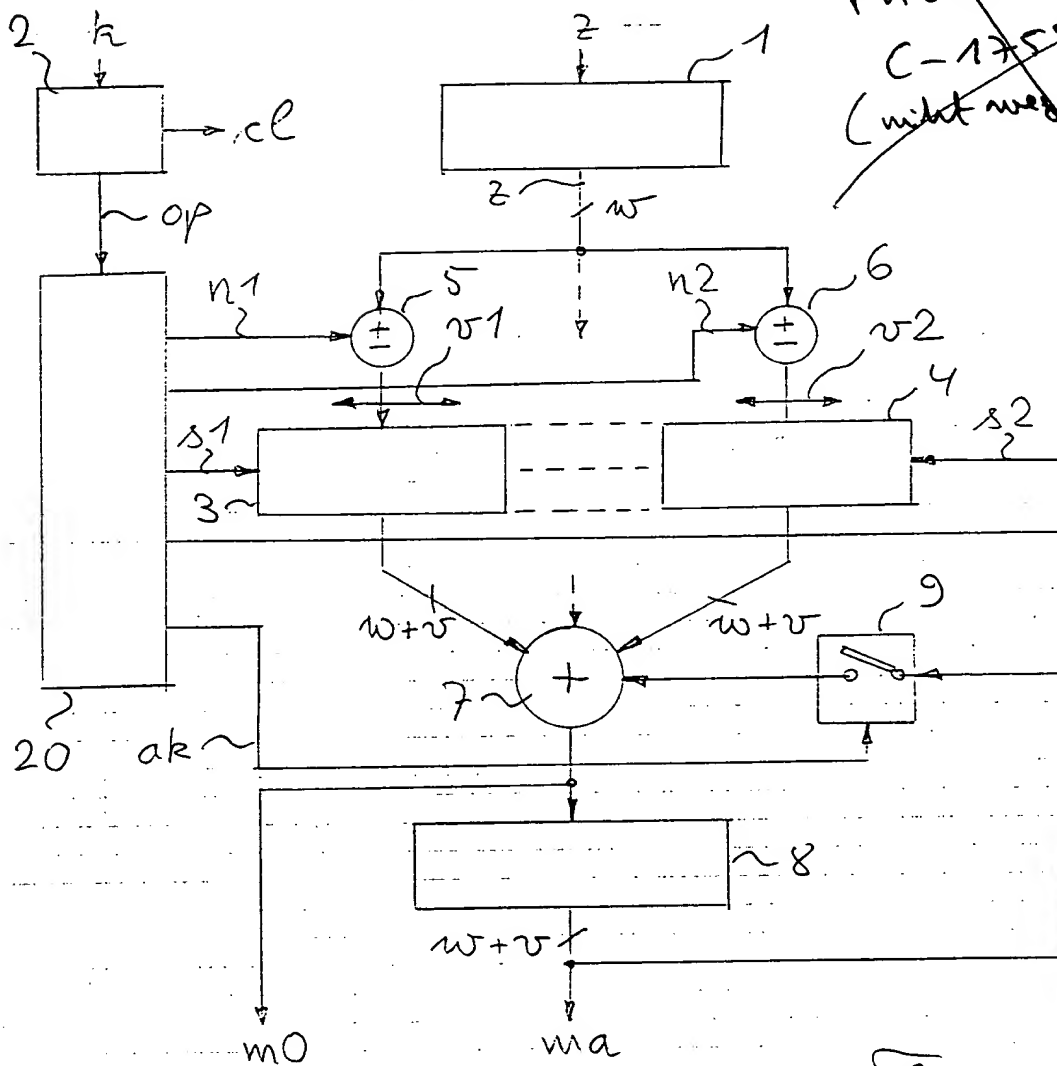


Fig 1

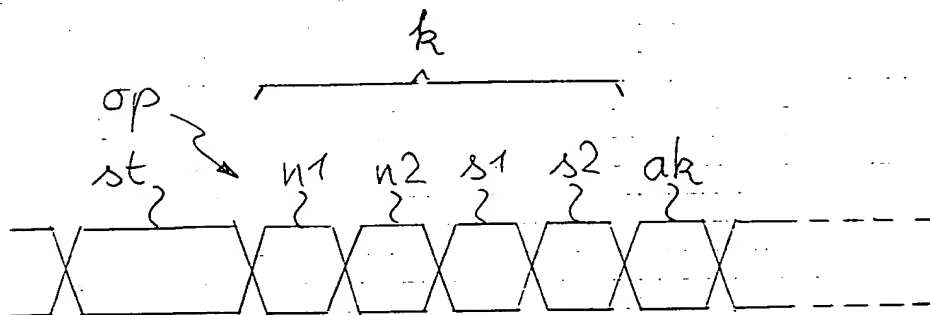


Fig 2